



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 690 34 191 T2 2005.11.24

(12)

Übersetzung der europäischen Patentschrift

(97) EP 0 675 502 B1

(21) Deutsches Aktenzeichen: 690 34 191.1

(96) Europäisches Aktenzeichen: 95 107 965.6

(96) Europäischer Anmeldetag: 30.03.1990

(97) Erstveröffentlichung durch das EPA: 04.10.1995

(97) Veröffentlichungstag

der Patenterteilung beim EPA: 25.05.2005

(47) Veröffentlichungstag im Patentblatt: 24.11.2005

(51) Int. Cl.: G11C 16/06

G06F 11/20, G11C 16/16

(30) Unionspriorität:

337566

13.04.1989

US

(84) Benannte Vertragsstaaten:

DE, FR, GB

(73) Patentinhaber:

SanDisk Corp., Sunnyvale, Calif., US

(72) Erfinder:

Harari, Eliyahou, Los Gatos, California 95054, US;
Norman, Robert D., San Jose, California 95120,
US; Mehrotra, Sanjay, Milpitas, California 95035,
US

(74) Vertreter:

Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80538 München

(54) Bezeichnung: EEPROM-System mit aus mehreren Chips bestehender Blocklöschung

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Hintergrund der Erfindung

[0001] Diese Erfindung betrifft allgemein elektrisch programmierbare Halbleiter-Festwertspeicher (EEPROM) und bezieht sich insbesondere auf ein System integrierter Flash EEPROM Schaltungsbausteine.

[0002] In Rechnersystemen werden typischerweise Magnetplattenlaufwerke für die Massenspeicherung von Daten verwendet. Plattenlaufwerke haben allerdings den Nachteil, dass sie unhandlich sind und hochpräzise bewegliche mechanische Teile benötigen. Infolgedessen sind sie nicht robust und neigen zu Problemen hinsichtlich der Zuverlässigkeit und verbrauchen darüber hinaus beträchtliche Leistungsmengen. Festkörperspeichervorrichtungen wie DRAM und SRAM haben diese Nachteile nicht. Sie sind allerdings viel teurer und brauchen beständige Spannung, um ihre Speicherung zu erhalten (flüchtig). Deshalb werden sie typischerweise als zeitweilige Speicher verwendet.

[0003] EEPROM und Flash EEPROM sind gleichfalls Festkörperspeichervorrichtungen. Darüber hinaus sind sie nichtflüchtig und behalten ihre Speicherung selbst dann bei, wenn die Spannung abgeschaltet wird. Aber herkömmliche Flash EEPROM haben eine begrenzte Lebensdauer, was die Zahl der Schreib(oder Programmier)/Löschzyklen betrifft, die sie aushalten können. Die Vorrichtungen werden typischerweise nach 10^2 bis 10^3 Schreib/Löschzyklen unzuverlässig. Traditionell werden sie meistens in Anwendungsfällen angewandt, wo eine halbdauerhafte Speicherung von Daten oder Programmen nötig ist, aber nur ein begrenzter Bedarf an Neuprogrammierung besteht.

[0004] Es ist die Aufgabe der vorliegenden Erfindung, ein Flash EEPROM System und ein Verfahren hierfür mit verbessertem Löschbetrieb zur Verfügung zu stellen.

[0005] Diese Aufgabe wird durch den Gegenstand der unabhängigen Ansprüche gelöst.

[0006] Bevorzugte Ausführungsformen der vorliegenden Erfindung werden durch die abhängigen Ansprüche definiert.

[0007] Dieser und weitere Aspekte werden durch Verbesserungen in der Architektur eines Systems aus EEPROM-Chips und den Schaltungen und Techniken darin verwirklicht.

[0008] Gemäß einem Aspekt der vorliegenden Erfindung ist eine Matrix („Array“) aus Flash-EEPROM-Zellen auf einem Chip in Sektoren organisiert,

so dass alle Zellen innerhalb jedes Sektors auf einmal löschar sind. Ein Flash-EEPROM-Speichersystem weist einen oder mehrere Flash-EEPROM-Chips unter der Kontrolle einer Steuerung auf. Die Erfindung erlaubt es, eine beliebige Kombination aus Sektoren unter den Chips auszuwählen und dann gleichzeitig zu löschen. Das ist schneller und wirkungsvoller als bekannte Schemata, wo jedes Mal alle Sektoren gelöscht werden müssen oder nur ein Sektor auf einmal gelöscht werden kann. Die Erfindung erlaubt ferner eine beliebige Kombination von zum Löschen ausgewählten Sektoren wieder von der Wahl auszuschießen und daran zu hindern, während des Löschvorgangs weiter gelöscht zu werden. Dieses Merkmal ist wichtig, um diejenigen Sektoren vor einem Überlöschen zu sperren, die als erstes korrekt in den „gelöschten“ Zustand gelöscht werden sollen, wodurch eine unnötige Beanspruchung der Flash-EEPROM-Vorrichtung vermieden wird. Die Erfindung erlaubt auch ein globales Entwählen aller Sektoren in System, so dass keine Sektoren zum Löschen ausgewählt sind. Diese globale Rückstellung kann das System schnell in seinen Ausgangszustand zurückversetzen, in dem es zur Wahl der nächsten Sektorkombination für das Löschen bereit ist. Ein weiteres Merkmal der Erfindung besteht darin, dass die Auswahl unabhängig ist vom Chipwählsignal, welches einen bestimmten Chip für einen Lese- oder Schreibvorgang aktiviert. Deshalb kann eine Löschoperation an einigen der Flash-EEPROM-Chips durchgeführt werden, während an anderen Chips, die am Löschvorgang nicht beteiligt sind, Lese- und Schreiboperationen ausgeführt werden können.

[0009] Weitere Aspekte, Merkmale und Vorteile der vorliegenden Erfindung werden anhand der folgenden Beschreibung ihrer bevorzugten Ausführungsbeispiele klar, wobei die Beschreibung im Zusammenhang mit den beigefügten Zeichnungen zu sehen ist.

Kurzbeschreibung der Zeichnungen

[0010] Fig. 1A ist ein allgemeines Mikroprozessorsystem, welches das Flash EEPROM-Speichersystem der vorliegenden Erfindung umfasst;

[0011] Fig. 1B ist ein schematisches Blockdiagramm, welches ein System zeigt, das eine Anzahl von Flash EEPROM Speicherchips und einen Steuerchip enthält;

[0012] Fig. 2 ist eine schematische Darstellung eines Systems von Flash EEPROM Chips, unter denen Speichersektoren zum Löschen ausgewählt sind;

[0013] Fig. 3A ist ein Blockschaltbild auf einem Flash EEPROM Chip zum Verwirklichen des selektiven Löschens mehrfacher Sektoren gemäß dem bevorzugten Ausführungsbeispiel.

[0014] Fig. 3B zeigt Einzelheiten eines typischen Registers, welches zur Auswahl eines Sektors zum Löschen benutzt wird, wie in Fig. 2A gezeigt;

[0015] Fig. 4 ist ein Ablaufdiagramm, welches die Löschope beim selektiven Löschen mehrfacher Sektoren darstellt;

Beschreibung der bevorzugten Ausführungsbeispiele

EEPROM-System

[0016] Ein Rechnersystem, in welches die verschiedenen Aspekte der vorliegenden Erfindung eingebaut sind, ist allgemein in Fig. 1A gezeigt. Zu einer typischen Rechnersystemarchitektur gehört ein an einen Systembus 23 angeschlossener Mikroprozessor 21 zusammen mit einem Hauptspeicherspeicher für direkten Zugriff RAM 25 und mindestens eine oder mehrere Eingabe/Ausgabe-Vorrichtungen 27, zum Beispiel eine Tastatur, ein Monitor, Modem und dgl. Eine weitere Hauptkomponente eines Rechnersystems, die an einen typischen Rechnersystembus 23 angeschlossen ist, wird von einem langfristigen, nichtflüchtigen Speicher 29 großer Kapazität gebildet. Ein derartiger Speicher ist typischerweise ein Plattenlaufwerk mit Zehnern von Megabyte an Datenspeicherkapazität. Diese Information wird zur Verwendung beim laufenden Verarbeiten in den flüchtigen Speicher 25 des Systems zurückgeholt und kann leicht ergänzt, geändert oder abgewandelt werden.

[0017] Ein Aspekt der vorliegenden Erfindung ist der Ersatz eines speziellen Typs eines Halbleiterspeichersystems für das Plattenlaufwerk, aber ohne Einbuße an Nichtflüchtigkeit, leichtem Löschen und Neueingeben von Daten in den Speicher, Zugriffsgeschwindigkeit, niedrigen Kosten und Zuverlässigkeit. Erreicht wird das durch die Verwendung einer Matrix aus elektrisch lösch- und programmierbaren integrierten Festspeicher-Schaltungsbausteinen (EEPROM). Diese Art von Speicher bietet die zusätzlichen Vorteile, dass sie weniger Strom zum Arbeiten brauchen und ein geringeres Gewicht haben, als ein Festplattenlaufwerk mit magnetischen Speichermedien und aus diesem Grund besonders gut geeignet sind für tragbare Rechner mit Batteriebetrieb.

[0018] Der Massenspeicher 29 ist aus einer an den Rechnersystembus 23 angeschlossenen Speichersteuerung 31 und einer EEPROM-Matrix 33 integrierter Schaltungsbausteine aufgebaut. Daten und Anweisungen werden hauptsächlich über eine serielle Datenleitung 35 von der Steuerung 31 an die EEPROM-Matrix 33 übertragen. Daten und Zustandssignale werden in ähnlicher Weise vom EEPROM 33 über serielle Datenleitungen 37 an die Steuerung 31 übermittelt. In Fig. 1A sind weitere Steuer- und Zustandsschaltungen zwischen der Steuerung 31 und der EEPROM-Matrix 33 nicht gezeigt.

[0019] Unter Hinweis auf Fig. 1B ist die Steuerung 31 vorzugsweise hauptsächlich auf einem einzigen integrierten Schaltungsbaustein gebildet. Verbunden ist sie mit dem Systemadressen- und -datenbus 39, einem Teil des Systembus 33, und außerdem mit Systemsteuerleitungen 41, zu denen Unterbrechungs-, Lese-, Schreib- und weitere im Rechnersystem übliche Steuerleitungen gehören.

[0020] Die EEPROM-Matrix 33 enthält eine Anzahl integrierter Schaltungsbausteine als EEPROM-Chips 43, 45, 47 usw. Jeder von ihnen hat eine entsprechende Chipauswahl- und Freigabeleitung 49, 51 und 53 von Schnittstellenschaltungen 40. Die Schnittstellenschaltungen 40 dienen auch zur Anpassung zwischen den seriellen Datenleitungen 35, 37 und einer Schaltung 55. Speicherortadressen und Daten, die in die EEPROM-Chips 43, 45, 47 usw. eingeschrieben oder aus ihnen gelesen werden, werden von einem Bus 55 über Logik- und Registerschaltungen 57 und von dort über einen weiteren Bus 59 an jeden der Speicherchips 43, 45, 47 usw. übermittelt.

[0021] Für mäßige Speichergößen kann der Massenspeicher 29 gemäß Fig. 1A und Fig. 1B auf einer einzigen gedruckten Leiterkarte verwirklicht sein. Die verschiedenen Leitungen der Systembusse 39 und 41 gemäß Fig. 1B sind in Anschlußstiften einer derartigen Karte zur Verbindung mit den übrigen Rechnersystem über einen Steckverbinder abgeschlossen. Mit der Karte und ihren Komponenten sind auch verschiedene (nicht gezeigte) genormte Speisespannungen verbunden.

[0022] Für große Speichermengen ist unter Umständen das, was einzige Matrix 33 bequemerweise bietet, nicht genug. In einem solchen Fall können an die serielle Datenleitungen 35 und 37 des Steuerungschips 31 zusätzliche EEPROM-Matrizes angeschlossen werden, wie in Fig. 1B angedeutet. Das geschieht vorzugsweise alles auf einer einzigen gedruckten Leiterkarte; aber wenn der Raum dafür nicht ausreicht, können auch eine oder mehrere EEPROM-Matrizes auf einer zweiten gedruckten Leiterkarte verwirklicht sein, die physisch auf der ersten Karte angebracht und mit einem gemeinsamen Steuerungschip 31 verbunden wird.

Löschen von Speicherstrukturen

[0023] Im Fall von Systemauslegungen, bei denen Daten in Dateien oder Blöcken gespeichert werden, müssen die Daten mit überarbeiteten oder neuen Informationen periodisch auf den neuesten Stand gebracht werden. Es kann auch erwünscht sein, einige nicht mehr benötigte Informationen zu überschreiben, um zusätzliche Informationen aufnehmen zu können. In einem Flash EEPROM Speicher müssen die Speicherzellen zunächst gelöscht werden, ehe Information in ihnen untergebracht wird. Das bedeu-

tet, dass einem Schreib (oder Programmier)-Vorgang immer ein Löschvorgang vorausgeht.

[0024] Bei herkömmlichen Speichervorrichtungen mit blitzartigem (Flash) Löschen wird der Löschvorgang auf verschiedene Weise durchgeführt. Bei einigen Vorrichtungen, beispielsweise dem Modell 27F-256 CMOS Flash EEPROM der Intel Corporation wird der gesamte Chip auf einmal gelöscht. Wenn nicht die gesamte Information auf dem Chip gelöscht werden soll, muss die Information zunächst zeitweilig gerettet werden und wird meistens in einen weiteren Speicher (typischerweise einen RAM) eingegeben. Dann wird die Information durch Zurückprogrammieren in die Vorrichtung erneut in dem nichtflüchtigen blitzartig löschbaren Speicher gespeichert. Das ist sehr langsam und erfordert als Zwischenspeicherplatz zusätzlichen Speicher.

[0025] Bei anderen Vorrichtungen, beispielsweise dem Modell 48512 Flash EEPROM-Chip der Seeq Technology Incorporated ist der Speicher in Blöcke (oder Sektoren) unterteilt, die jeweils für sich löschar sind, aber nur immer einer zu einer Zeit. Durch Auswählen des gewünschten Sektors und Durchlaufen der Löschfolge wird der bezeichnete Bereich gelöscht. Während dabei zwar die Notwendigkeit eines Zwischenspeichers verringert ist, erfordert das Löschen in verschiedenen Bereichen des Speichers immer noch einen zeitraubenden sequentiellen Ansatz.

[0026] Bei der vorliegenden Erfindung ist der Flash EEPROM Speicher in Sektoren unterteilt, wobei alle Zellen innerhalb jedes Sektors gemeinsam löschar sind. Jeder Sektor kann gesondert adressiert und zum Löschen ausgewählt werden. Ein wichtiges Merkmal besteht in der Möglichkeit, jede beliebige Kombination von Sektoren zum gemeinsamen Löschen auszuwählen. Das erlaubt ein viel schnelleres Systemlöschen, als wenn dies für jeden einzelnen gemacht wird, wie beim Stand der Technik.

[0027] Fig. 2 veranschaulicht schematisch mehrere Sektoren, die zum Löschen ausgewählt wurden. Ein Flash EEPROM System umfasst einen oder mehrere Flash EEPROM Chips, beispielsweise 201, 203, 205. Sie stehen über Leitungen 209 mit einer Steuerung (Controller) 31 in Verbindung. Typischerweise steht die Steuerung 31 ihrerseits mit einem (nicht gezeigten) Mikroprozessorsystem in Verbindung. Der Speicher in jedem Flash EEPROM Chip ist in Sektoren aufgeteilt, wobei alle Speicherzellen innerhalb eines Sektors gemeinsam löschar sind. Zum Beispiel kann jeder Sektor 512 Byte (d. h. 512×8 Zellen) für den Benutzer verfügbar haben, und ein Chip kann 1024 Sektoren besitzen. Jeder Sektor ist individuell adressierbar und kann beim Löschen mehrerer Sektoren ausgewählt werden, zum Beispiel Sektoren 211, 213, 215, 217. Wie Fig. 2 zeigt, können die ausgewählten Sektoren auf einen einzigen EEPROM

Chip begrenzt oder unter verschiedenen Chips in einem System verteilt sein. Die Sektoren, die ausgewählt wurden, werden alle zusammen gelöscht. Diese Fähigkeit erlaubt es dem Speicher und dem System der vorliegenden Erfindung, viel rascher zu funktionieren als die Architekturen gemäß dem Stand der Technik.

[0028] Fig. 3A veranschaulicht eine Blockdiagrammschaltung 220 auf einem Flash EEPROM Chip (beispielsweise dem Chip 201 der Fig. 2), wobei einer oder mehrere Sektoren, zum Beispiel 211, 213 ausgewählt (oder nicht ausgewählt) sind, um gelöscht zu werden. Im wesentlichen wird jeder Sektor, beispielsweise 211, 213 dadurch ausgewählt oder markiert, dass der Zustand eines den jeweiligen Sektoren zugeordneten Löscharfreigaberegisters, beispielsweise 221, 223 gesetzt wird. Der Auswahl- und anschließende Löschvorgang wird unter der Kontrolle der Steuerung 31 durchgeführt (siehe Fig. 2). Der Schaltkreis 220 steht über Leitungen 209 mit der Steuerung 31 in Verbindung. Befehlsinformation von der Steuerung wird in dem Schaltkreis 220 durch ein Befehlsregister 225 über eine serielle Schnittstelle 227 eingelesen. Sie wird dann von einem Befehlsdekodierer 229 dekodiert, der verschiedene Steuersignale abgibt. Auf ähnliche Weise wird Adresseninformation von einem Adressenregister 231 eingelesen und von einem Adressendekodierer 233 dekodiert.

[0029] Um zum Beispiel den Sektor 211 zum Löschen auszuwählen, sendet die Steuerung die Adresse des Sektors 211 an den Schaltkreis 220. Die Adresse wird in der Leitung 235 dekodiert und zusammen mit einem Löscharfreigabe-Setzsignal auf dem Bus 237 verwendet, um einen Ausgang 239 des Registers 221 auf HOCH zu setzen. Hierdurch wird der Sektor 211 in einem anschließenden Löschvorgang freigegeben. Wenn auch der Sektor 213 gelöscht werden soll, kann in ähnlicher Weise das ihm zugeordnete Register 223 auf HOCH gesetzt werden.

[0030] Der Aufbau der Register, beispielsweise 221, 223 ist in Fig. 3B mehr im Einzelnen gezeigt. Das Löscharfreigaberegister 221 ist ein SETZ/RÜCK-SETZ-Haltespeicher. Seine Setzeingabe 241 wird vom Löscharfreigabe-Setzsignal auf dem Bus 237, durchgesteuert durch das Adressendekodieren auf der Leitung 235, erhalten. Ähnlich wird die Rücksetzeingabe 243 vom Löscharfreigabe-Aufhebesignal auf dem Bus 237, durchgesteuert durch das Adressendekodieren auf der Leitung 235, erhalten. Somit wird, wenn das Löscharfreigabe-Setzsignal oder das Löscharfreigabe-Aufhebesignal an alle Sektoren erteilt wird, dieses Signal nur an demjenigen Sektor wirksam, der adressiert wird.

[0031] Nachdem alle Sektoren ausgewählt worden sind, die gelöscht werden sollen, gibt die Steuerung

an den Schaltkreis 220 ebenso wie an alle anderen Chips im System einen globalen Löschbefehl auf einer Leitung 251 zusammen mit der hohen Spannung für das Löschen auf der Leitung 209 aus. Daraufhin löscht die Vorrichtung auf einmal alle Sektoren, die ausgewählt wurden (d. h. die Sektoren 211 und 213). Zusätzlich zum Löschen der gewünschten Sektoren innerhalb eines Chips erlaubt die Architektur des vorliegenden Systems auch die Auswahl von Sektoren über verschiedene Chips hinweg zum gleichzeitigen Löschen.

[0032] Fig. 4(1) bis 4(11) zeigen den im Zusammenhang mit dem Schaltkreis 220 gemäß Fig. 3A angewandten Algorithmus. In Fig. 4(1) verschiebt die Steuerung die Adresse in den Schaltkreis 220, deren Dekodierung in der Leitung zum Löschfreigaberegister, welches dem zu löschenden Sektor zugeordnet ist, erfolgt. In Fig. 4(2) schiebt die Steuerung einen Befehl ein, der zu einem Löschfreigabesetzbehl dekodiert wird, welcher zum Festhalten des Adressendekodiersignals auf dem Löschfreigaberegister für den adressierten Sektor verwendet wird. Hierdurch wird der Sektor für das anschließende Löschen markiert. Wenn gemäß Fig. 4(3) mehrere Sektoren markiert werden sollen, werden die im Hinblick auf die Fig. 4(1)–(4) beschriebenen Vorgänge so lange wiederholt, bis alle Sektoren, die gelöscht werden sollen, markiert worden sind. Nachdem alle für das Löschen beabsichtigten Sektoren markiert wurden, löst die Steuerung einen Löschzyklus aus, wie in Fig. 4(4) veranschaulicht.

[0033] Optimierte Verwirklichungen zum Löschen sind in den US Patenten 5 095 344, 5 172 338 und 5 163 021 offenbart. Die Offenbarungen dieser Patente sind hiermit durch Verweis enthalten. Die Flash EEPROM Zellen werden durch Anlegen eines Löschspannungsimpulses gelöscht, worauf ein Lesen erfolgt, um zu überprüfen, ob die Zellen in den „gelöschten“ Zustand gelöscht wurden. Ist das nicht der Fall, werden so lange weitere Impulse angelegt und wiederum verifiziert, bis alle Zellen als gelöscht nachgewiesen wurden. Durch das Löschen auf diese gesteuerte Art und Weise unterliegen die Zellen keinem übermäßigen Löschen, bei dem die Tendenz besteht, daß der EEPROM-Baustein vorzeitig altert und die Zellen schwerer zu programmieren sind.

[0034] Während die Gruppe ausgewählter Sektoren den Löschzyklus durchläuft, werden einige Sektoren den „Lösch“-Zustand früher erreichen als andere. Ein weiteres wichtiges Merkmal der vorliegenden Erfindung besteht in der Möglichkeit, jene Sektoren aus der Gruppe ausgewählter Sektoren auszuscheiden, von denen bereits verifiziert wurde, daß sie gelöscht sind, wodurch verhindert wird, daß sie übermäßig gelöscht werden.

[0035] Nochmals zu Fig. 4(4), nachdem alle Sektoren

markiert wurden, die gelöscht werden sollen, beginnt die Steuerung mit einem Löschzyklus, um die Gruppe markierter Sektoren zu löschen. In Fig. 4(5) schiebt die Steuerung einen „Löschen Freigeben“ genannten globalen Befehl in jeden Flash EEPROM Chip ein, der eine Löschung vornehmen soll.

[0036] Dem folgt, in Fig. 4(5), daß die Steuerung die Löschspannungsleitung (V_e) während einer festgelegten Dauer auf einen festgelegten Wert anhebt. Am Ende der Löschdauerzeit wird diese Spannung von der Steuerung wieder abgesenkt. In Fig. 4(6) unterzieht die Steuerung dann die für das Löschen ausgewählten Sektoren einer Lesebestätigungsfolge. Wenn keiner der Sektoren bestätigt wird, werden gemäß Fig. 4(7) die in den Fig. 4(5)–(4(7)) dargestellten Folgen wiederholt. Wird von einem oder mehreren Sektoren bestätigt, daß sie gelöscht sind, werden diese gemäß Fig. 4(8) und 3(9) aus der Folge herausgenommen. Das wird, unter Hinweis auch auf Fig. 3A, dadurch erzielt, daß die Steuerung jeden der bestätigten Sektoren adressiert und die zugehörigen Löschfreigaberegister mit einem Aufheben-Freigabe-befehl auf dem Bus 237 zurück auf TIEF (LOW) freigibt. Die in den Fig. 4(5)–4(10) dargestellten Folgen werden wiederholt, bis von allen Sektoren in der Gruppe bestätigt wurde, daß sie gelöscht sind, siehe Fig. 4(11). Bei Beendigung des Löschzyklus schiebt die Steuerung einen Befehl „kein Betrieb“ (NOP) ein, und der globale Befehl „Löschen Freigeben“ wird zum Schutz vor falschem Löschen zurückgezogen.

[0037] Die Möglichkeit der Wahl, welche Sektoren gelöscht werden sollen und welche nicht und bei welchen mit dem Löschen aufgehört werden soll, ist von Vorteil. Sie erlaubt es, Sektoren, die eher gelöscht wurden als die langsamer gelöschten Sektoren aus der Löschnfolge herauszunehmen, so daß der Baustein keiner weiteren Beanspruchung unterliegt. Hierdurch wird die Zuverlässigkeit des Systems erhöht. Ein weiterer Vorteil besteht darin, daß ein Sektor, wenn er schlecht ist oder aus irgendeinem Grund nicht benutzt wird, übergangen werden kann, so daß kein Löschen innerhalb dieses Sektors geschieht. Wenn zum Beispiel ein Sektor fehlerhaft ist und Kurzschlüsse enthält, verbraucht er unter Umständen viel Strom. Ein bedeutsamer Systemvorteil wird durch die vorliegende Erfindung erzielt, die es möglich macht, diesen Sektor bei Löschzyklen zu überspringen, so daß die zum Löschen benötigte Leistung stark verringert werden kann.

[0038] Eine weitere Überlegung im Zusammenhang mit der Möglichkeit, die zu löschenden Sektoren innerhalb eines Bausteins auszuwählen liegt in der Leistungseinsparung für das System. Die Flexibilität der Löschkonfiguration gemäß der vorliegenden Erfindung macht eine Anpassung der Löscherfordernisse an die Bereitstellung der Systemleistungsfähigkeit möglich. Das kann geschehen durch eine Gestaltung

der Systeme zur unterschiedlichen Löschung mittels Software auf einer festen Basis zwischen unterschiedlichen Systemen. Hierdurch ist es der Steuerung auch möglich, das Ausmaß des vorgenommenen Löschns durch Überwachung des Spannungsniveaus in einem System, beispielsweise einem Laptopcomputer adaptiv zu ändern.

[0039] Eine zusätzliche Leistungsfähigkeit des Systems gemäß der vorliegenden Erfindung ist die Fähigkeit, einen Rücksetzbefehl an einen Flash EEPROM Chip auszugeben, durch den alle Löschnfreigabespeicherungen aufgehoben werden und verhindert wird, daß irgendwelche weiteren Löschnzyklen stattfinden. Dies ist in den Fig. 3A und Fig. 3B durch das Rücksetzsignal auf der Leitung 261 dargestellt. Wenn man das global für alle Chips unternimmt, braucht man weniger Zeit zum Rücksetzen aller Löschnfreigaberegister.

[0040] Eine zusätzliche Leistungsfähigkeit besteht in der Fähigkeit, Löschnoperationen unabhängig von der Chipauswahl zu unternehmen. Sobald mit dem Löschn auf einigen der Speicherchips einmal begonnen wurde, kann die Steuerung im System auf weitere Speicherchips Zugriff nehmen und an ihnen Lese- und Schreibvorgänge vornehmen. Darüber hinaus kann der oder die Bausteine, die das Löschn durchführen, ausgewählt werden, und es kann eine Adresse in ihn oder sie für den nächsten Befehl im Anschluß an das Löschn geladen werden.

[0041] Die verschiedenen, hier beschriebenen Aspekte der vorliegenden Erfindung wirken in einem System einer Flash EEPROM Speichermatrix zusammen und machen aus dem Flash EEPROM Speicher eine brauchbare Alternative zu herkömmlichen nichtflüchtigen Massenspeichervorrichtungen.

[0042] Die hier beschriebenen Ausführungsbeispiele der verschiedenen Aspekte der vorliegenden Erfindung sind zwar die bevorzugte Verwirklichung, aber dem Fachmann ist klar, daß auch Abwandlungen derselben möglich sind. Deshalb gebührt der Erfindung Schutz innerhalb des vollen Umfangs der beigefügten Ansprüche.

Patentansprüche

1. Verfahren zum Betreiben eines Speichersystems, welches eine in mehrere Sektoren unterteilte Matrix aus EEPROM-Zellen aufweist, die individuell eine zum Speichern von mehreren Datenbytes ausreichende Vielzahl besagter Zellen beinhalten, und wobei alle Zellen eines Sektors gemeinsam löschnbar sind, umfassend:
 - (a) Auswählen einer Vielzahl von besagten mehreren Sektoren zum Löschn,
 - (b) gemeinsames Löschn der EEPROM-Zellen der ausgewählten Sektoren, wobei die nicht ausgewählten

ten Sektoren nicht gelöscht werden, (c) anschließendes Verifizieren, ob einzelne der ausgewählten Sektoren gelöscht worden sind, und (d) Entfernen derjenigen Sektoren aus der Auswahl, die als gelöscht geworden zu sein verifiziert sind.

2. Verfahren nach Anspruch 1, weiter umfassend einen Schritt (e) des Wiederholens der Verfahrensschritte (b) bis (d) so lange, bis alle der ursprünglich ausgewählten Sektoren von der Auswahl entfernt worden sind.

3. Verfahren nach Anspruch 2, weiter umfassend einen Schritt (f) des Schreibens von Daten in zumindest einige der gelöschten Sektoren.

4. Verfahren nach einem der Ansprüche 1 bis 3, wobei der Schritt (b) ein paralleles Löschn der ausgewählten Sektoren umfasst.

5. Verfahren nach Anspruch 4, welches zusätzlich ein adaptives Ändern der Anzahl der parallel zu löschnenden Sektoren gemäß einer Leistungsfähigkeit des Systems umfasst.

6. Verfahren nach einem der Ansprüche 1 bis 5, welches zusätzlich ein Beibehalten einer Identifikation derjenigen der besagten mehreren Sektoren umfasst, welche fehlerhaft sind, und ein Vermeiden, dass solche identifizierte Sektoren dem Löschnschritt ausgesetzt werden, umfasst.

7. Verfahren nach einem der Ansprüche 1 bis 6, wobei der Schritt (a) ein Auswählen einer Vielzahl von den doch weniger als alle der besagten mehreren Sektoren zum Löschn umfasst.

8. Verfahren nach einem der Ansprüche 1 bis 7, wobei der Schritt (a) ein Setzen eines Markierungsbits für einzelne dieser Sektoren umfasst, um ausgewählt zu werden, und worin Schritt (d) ein Aufheben der Markierungsbits für die Sektoren umfasst, die von der Auswahl entfernt werden.

9. Verfahren nach einem der Ansprüche 1 bis 8, wobei der Schritt (b) ein Löschn der ausgewählten Sektoren umfasst, indem diese Löschnspannungen ausgesetzt werden.

10. Flash-EEPROM-System, umfassend: eine Matrix aus EEPROM-Zellen, welche in mehrere Sektoren, die individuell eine Vielzahl dieser Zellen zum individuellen Speichern mehrerer Datenbytes beinhalten, unterteilt ist, wobei die Zellen der individuellen Sektoren zusammen löschnbar sind, eine Auswahlschaltung zum Auswählen einer Vielzahl besagter mehrerer Sektoren, eine Löschnschaltung zum gemeinsamen Löschn aller ausgewählter Sektoren ohne Löschn der nicht ausgewählten Sektoren,

Verifikationsmittel zum Verifizieren, ob einzelne der ausgewählten Sektoren gelöscht wurden, und wobei die Auswählschaltung weiterhin Mittel zum Entfernen solcher Sektoren aus der Auswahl umfasst, welche als gelöscht worden zu sein verifiziert sind.

11. System nach Anspruch 10, wobei die Löschschaltung zum parallelen Löschen der ausgewählten Sektoren angepasst ist.

12. System nach Anspruch 11, weiter umfassend Steuermittel zum adaptiven Ändern der Anzahl von Sektoren, die parallel gelöscht werden, gemäß einer Leistungsfähigkeit des Speichersystems.

13. System nach einem der Ansprüche 10 bis 12, weiter umfassend Mittel zum Beibehalten einer Identifikation von solchen von den besagten mehreren Sektoren, die fehlerhaft sind, und Mittel zum Vermeiden, dass diese identifizierte Sektoren dem Löschschritt ausgesetzt werden.

14. System nach einem der Ansprüche 10 bis 13, wobei die Auswählschaltung weiter angepasst ist, jede Kombination der ausgewählten Vielzahl von den doch weniger als alle der besagten mehreren Sektoren auszuwählen.

15. System nach einem der Ansprüche 10 bis 14, wobei die Auswählschaltung eine Vielzahl von Registern umfasst, die individuell ein Markierungsbit zum Anzeigen, ob ein zugehöriger Sektor ausgewählt ist oder nicht, beinhalten.

16. System nach Anspruch 15, wobei der Auswählschaltkreis weiter angepasst ist, die Markierung für einzelne der zum Löschen ausgewählten Sektoren zu setzen und die Markierungsbits für die Sektoren zurückzusetzen, welche als gelöscht zu sein verifiziert sind.

17. System nach einem der Ansprüche 10 bis 16, wobei die EEPROM-Matrix mehrere EEPROM-Chips umfasst.

18. System nach Anspruch 17, wobei die ausgewählten Sektoren auf einen der besagten mehreren EEPROM-Chips beschränkt sind.

19. System nach Anspruch 17, wobei die ausgewählten Sektoren auf verschiedene der besagten mehreren EEPROM-Chips verteilt sind.

20. System nach einem der Ansprüche 10 bis 19, weiter umfassend eine Systemsteuerung zum Steuern des Systems und einen Systemadressbus zum Verbinden des Systems mit der Systemsteuerung.

Es folgen 3 Blatt Zeichnungen

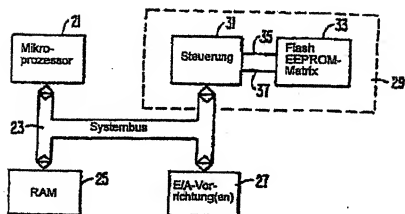


Fig. 1A

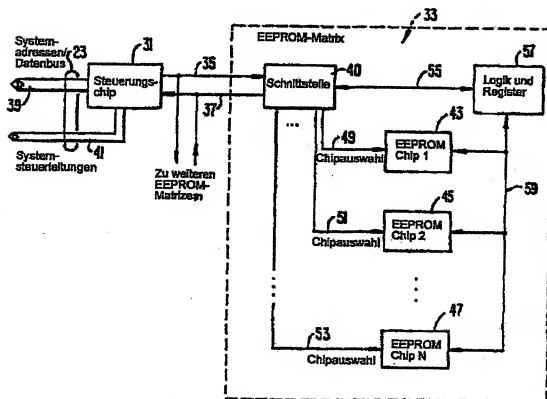


Fig. 1B

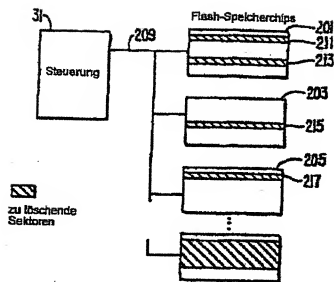


Fig. 2

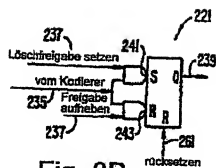


Fig. 3B

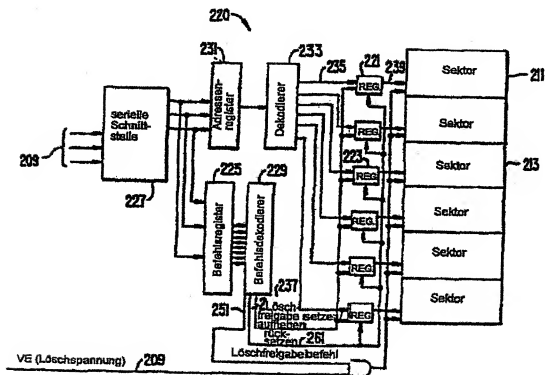


Fig. 3A

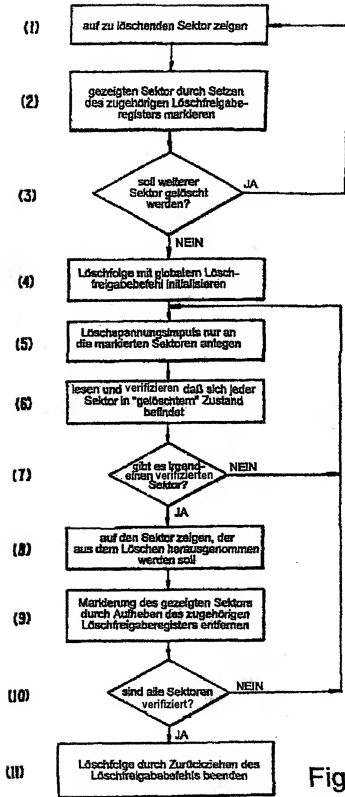


Fig. 4